

日本国特許庁
JAPAN PATENT OFFICE

783
65

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application: 2003年 2月 7日

出願番号

Application Number: 特願2003-030795

[ST.10/C]:

[JP2003-030795]

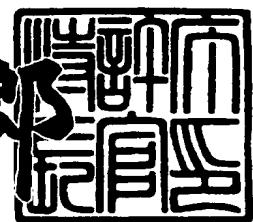
出願人

Applicant(s): 株式会社東芝

2003年 3月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2003-3014108

【書類名】 特許願
 【整理番号】 APB021014
 【提出日】 平成15年 2月 7日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 27/108
 H01L 21/8242

【発明の名称】 トレンチキャパシタの形成方法及び半導体装置

【請求項の数】 17

【発明者】

【住所又は居所】 三重県四日市市山之一色町 800 番地 株式会社東
 芝 四日市工場内

【氏名】 斎田 繁彦

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東
 芝 横浜事業所内

【氏名】 宮野 清孝

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東
 芝 横浜事業所内

【氏名】 中尾 隆

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 トレンチキャパシタの形成方法及び半導体装置

【特許請求の範囲】

【請求項1】 トレンチを有し第1導電型の半導体基板と、

前記トレンチの底面から側面にかけて前記底面と前記側面を含む前記半導体基板内に設けられた前記第1導電型と異なる導電型のプレート電極と、

前記トレンチの前記底面から前記側面にかけて前記底面と前記側面の上に設けられたキャパシタ絶縁膜と、

前記トレンチの前記側面の上に設けられ、前記キャパシタ絶縁膜に周状の下部端が接し、前記プレート電極に接するカラー酸化膜と、

前記プレート電極と前記キャパシタ絶縁膜の上に設けられ、上面の高さは前記カラー酸化膜の上部端の高さより高い蓄積電極と、

前記カラー酸化膜の上部端と前記蓄積電極の上面の上に設けられ、前記蓄積電極に電気的に接続し、前記トレンチの前記側面の上部に接するキャパシタ引き出し電極と、

前記トレンチの前記側面の上部を含む前記半導体基板内に設けられ、カラー酸化膜に接し、キャパシタ引き出し電極に電気的に接続し、前記第1導電型と異なる導電型のベリッドストラップ部とを有することを特徴とする半導体装置。

【請求項2】 前記カラー酸化膜の前記トレンチの前記側面に関する法線応力が張力であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記カラー酸化膜が、堆積によって前記トレンチの前記側面の上に設けられたことを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記カラー酸化膜が、化学気相成長(CVD)法によって前記トレンチの前記側面の上に設けられたことを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項5】 前記蓄積電極において前記キャパシタ引き出し電極との界面が、前記カラー酸化膜の下部端を外周とする平面に一致しないことを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記キャパシタ引き出し電極の上に設けられる素子分離領域

と、

前記半導体基板の上面を含む前記半導体基板内に設けられ、前記ペリッドストラップ部に電気的に接続し、前記第1導電型と異なる導電型のドレイン領域と、

前記半導体基板1の上面の上に設けられるゲート絶縁膜と、

前記ゲート絶縁膜の上で前記ドレイン領域の上方に設けられるゲート電極と、

前記半導体基板の上面を含む前記半導体基板内で前記ゲート絶縁膜の下で前記ゲート電極の下方で前記ドレイン領域から離れて設けられ、前記第1導電型と異なる導電型のソース領域と、

前記ソース領域に電気的に接続するピット線をさらに有することを特徴とする請求項1に記載の半導体装置。

【請求項7】 前記蓄積電極では、キャパシタ絶縁膜に接する側面における太さは、カラー酸化膜に接する側面における太さより太いことを特徴とする請求項1に記載の半導体装置。

【請求項8】 前記半導体基板の前記トレンチの前記底面と前記側面が、凹凸を有することを特徴とする請求項1に記載の半導体装置。

【請求項9】 第1導電型の半導体基板の表面にトレンチを形成することと

前記トレンチの内壁の上に第1の絶縁膜を形成することと、

前記第1の絶縁膜の上で前記トレンチ内に半導体柱を埋め込むことと、

前記トレンチの上部に位置する前記第1の絶縁膜と半導体柱をエッチングすることと、

前記トレンチの露出した内壁の上に第2の絶縁膜を堆積することと、

前記半導体柱をエッチングすることと、

前記第1の絶縁膜をエッチングすることと、

気相拡散法で前記トレンチの露出した内壁に前記第1導電型と異なる導電型のプレート電極を形成することと、

前記プレート電極の上にキャパシタ絶縁膜を形成することと、

前記キャパシタ絶縁膜と前記第2の絶縁膜の上で前記トレンチ内に蓄積電極を埋め込むことを有することを特徴とするトレンチキャパシタの形成方法。

【請求項10】 前記蓄積電極の上部と前記第2の絶縁膜の上部をエッティングすることと、

前記トレンチの露出した内壁に前記第1導電型と異なる導電型のベリッドストラップ部を形成することと、

前記蓄積電極と前記ベリッドストラップ部の上で前記トレンチ内にキャパシタ引き出し電極を埋め込むことをさらに有することを特徴とするトレンチキャパシタの形成方法。

【請求項11】 前記第1の絶縁膜はシリコン窒化膜であり、前記第2の絶縁膜はシリコン酸化膜であることを特徴とする請求項9に記載のトレンチキャパシタの形成方法。

【請求項12】 前記第2の絶縁膜はCVD法で堆積されることを特徴とする請求項9に記載のトレンチキャパシタの形成方法。

【請求項13】 前記半導体柱はシリコンゲルマニウム(SiGe)であることを特徴とする請求項9に記載のトレンチキャパシタの形成方法。

【請求項14】 前記シリコンゲルマニウムのゲルマニウム(Ge)の組成比は50%以上であることを特徴とする請求項13に記載のトレンチキャパシタの形成方法。

【請求項15】 前記半導体柱をエッティングすることでは、エッチャントが、過酸化水素水(H_2O_2)を含むことを特徴とする請求項13又は請求項14に記載のトレンチキャパシタの形成方法。

【請求項16】 前記第1の絶縁膜をエッティングすることの後で、前記プレート電極を形成することの前に、前記トレンチの露出した内壁をエッティングすることをさらに有することを特徴とするトレンチキャパシタの形成方法。

【請求項17】 前記第1の絶縁膜をエッティングすることの後で、前記プレート電極を形成することの前に、前記トレンチの露出した内壁を凹凸にすることをさらに有することを特徴とするトレンチキャパシタの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トレンチキャパシタを有する半導体装置、及び、そのトレンチキャパシタの形成方法に関する。

【0002】

【従来の技術】

近年、情報処理装置の記憶装置として、半導体装置の開発が進められている。半導体装置は、機械的駆動部分を有しないので衝撃に強く、高速なアクセスが可能である。半導体装置はメモリセルを有し、半導体技術の進歩、特に微細加工技術の進歩により、メモリセルは微細化している。メモリセルの微細化は、半導体装置を高集積化するためである。メモリセルの微細化により、メモリセルの記憶保持特性に関する問題が顕在化している。

【0003】

DRAMでは、メモリセルがMOS型トランジスタとこのMOS型トランジスタに直列接続されたキャパシタで構成されている。DRAMでは、メモリセルの微細化により、キャパシタ面積が減少し、キャパシタ容量が減少する傾向にある。キャパシタ容量の減少により、メモリセルに記憶したデータを読み違える問題と、 α 線がメモリセルに記憶したデータを破壊するソフトエラーの発生が懸念された。

【0004】

これらの問題を解決するためには、メモリセルの微細化を行ってもキャパシタ容量を減少させない事が重要である。キャパシタ容量を減少させない為に、キャパシタが形成されるトレンチを深くし、キャパシタ面積を増加させた。しかしながら、トレンチを深くすることは製造技術上困難になりつつある。また、キャパシタ容量を減少させない為に、キャパシタ絶縁膜を薄膜化した。しかしながら、絶縁膜を薄膜化することも、製造技術上困難になりつつある。

【0005】

そこで、キャパシタ容量を減少させない為に、トレンチをボトル型に形成する方法と、プレート電極を気相拡散法によるドーピングで形成する方法が提案されている（例えば、特許文献1参照。）。しかしながら、これらの方法では、メモリセルの他の記憶保持特性が劣化する場合があった。

【0006】

【特許文献1】

特開2002-16236号公報（第2図、第6図）

【0007】

【発明が解決しようとする課題】

本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、メモリセルの微細化を行っても記憶保持特性が劣化しない半導体装置を提供することにある。

【0008】

また、本発明の目的は、メモリセルの微細化を行っても記憶保持特性が劣化しないトレンチキャパシタの形成方法を提供することにある。

【0009】

【課題を解決するための手段】

上記問題点を解決するための本発明の第1の特徴は、トレンチを有し第1導電型の半導体基板と、トレンチの底面から側面にかけてこの底面と側面を含む半導体基板内に設けられた第1導電型と異なる導電型のプレート電極と、トレンチの底面から側面にかけて底面と側面の上に設けられたキャパシタ絶縁膜と、トレンチの側面の上に設けられキャパシタ絶縁膜に周状の下部端が接しプレート電極に接するカラー酸化膜と、プレート電極とキャパシタ絶縁膜の上に設けられ上面の高さはカラー酸化膜の上部端の高さより高い蓄積電極と、カラー酸化膜の上部端と蓄積電極の上面の上に設けられ蓄積電極に電気的に接続しトレンチの側面の上部に接するキャパシタ引き出し電極と、トレンチの側面の上部を含む半導体基板内に設けられ、カラー酸化膜に接しキャパシタ引き出し電極に電気的に接続し第1導電型と異なる導電型のベリッドストラップ部とを有する半導体装置にある。

【0010】

本発明の第2の特徴は、第1導電型の半導体基板の表面にトレンチを形成することと、トレンチの内壁の上に第1の絶縁膜を形成することと、第1の絶縁膜の上でトレンチ内に半導体柱を埋め込むことと、トレンチの上部に位置する第1の絶縁膜と半導体柱をエッチングすることと、トレンチの露出した内壁の上に第2

の絶縁膜を堆積することと、半導体柱をエッティングすることと、第1の絶縁膜をエッティングすることと、気相拡散法でトレンチの露出した内壁に第1導電型と異なる導電型のプレート電極を形成することと、プレート電極の上にキャパシタ絶縁膜を形成することと、キャパシタ絶縁膜と第2の絶縁膜の上でトレンチ内に蓄積電極を埋め込むことを有するトレンチキャパシタの形成方法にある。

【0011】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態について説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。また、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。

【0012】

(メモリセルの記憶保持特性が劣化する原因について)

キャパシタ容量を減少させない為に、トレンチをボトル型に形成する方法と、プレート電極を気相拡散法によるドーピングで形成する方法が実施されている。これらの方を実施するために、メモリセルの他の記憶保持特性が劣化する原因を明らかにした。

【0013】

記憶保持特性の劣化は、キャパシタの蓄積電極とトランジスタのドレイン領域を電気的に接続するベリッドストラップ部に欠陥が入ることによって発生することが明らかになった。ベリッドストラップ部に発生した欠陥は、ベリッドストラップ部と半導体基板の接合で、接合リーキ電流を増大させた。

【0014】

キャパシタは、プレート電極と蓄積電極を分離するカラー酸化膜を有している。ベリッドストラップ部の欠陥は、カラー酸化膜のトレンチの側面に関する法線応力が圧力であることに起因すると考えられた。

【0015】

カラー絶縁膜は、LOCOSカラー法という熱酸化法で形成されている。これは、このカラー酸化膜をキャパシタ形成前に形成するためである。カラー酸化膜をキ

ヤパシタ形成前に形成することにより、トレンチをボトル型に形成する方法と、プレート電極を気相拡散法によるドーピングで形成する方法が実施できる。

【0016】

カラー酸化膜を熱酸化法で形成すると、トレンチの側面が酸化される。酸化で消費された半導体基板の体積より、酸化で生じたカラー酸化膜の体積の方が大きい。また、カラー酸化膜がトレンチ内で成長可能な体積は、熱酸化膜が半導体基板の平面上で成長可能な体積より小さい。これらのことにより、カラー酸化膜内には、圧縮応力が発生する。この圧縮応力により、カラー酸化膜からベリッドストラップ部に圧力が生じていると考えられた。この圧力によりベリッドストラップ部に欠陥が発生した。

【0017】

そこで、欠陥の発生を防止するためには、カラー酸化膜からベリッドストラップ部に圧力が生じなければよいと考えられた。カラー酸化膜内に、圧縮応力が発生しなければよいと考えられた。

【0018】

(第1の実施の形態)

本発明の第1の実施の形態に係る半導体装置は、図1に示すように、キャパシタとMOSトランジスタを有している。メモリセルはこのキャパシタとMOSトランジスタを有する。半導体装置は、複数のメモリセルを有するが、複数のメモリセル間は、素子分離領域21によって絶縁されている。

【0019】

キャパシタは、p型のシリコン(Si)基板1の有するトレンチに配置される。キャパシタは、プレート電極12、キャパシタ絶縁膜13、カラー酸化膜11、蓄積電極15、キャパシタ引き出し電極19とベリッドストラップ部17を有する。

【0020】

プレート電極12は、トレンチの底面から側面にかけてその底面と側面を含むシリコン基板1内に設けられる。プレート電極12の導電型は、n型である。キャパシタ絶縁膜13は、トレンチの底面から側面にかけて底面と側面の上に設け

られる。キャパシタ絶縁膜13は、プレート電極12の上に設けられる。

【0021】

カラー酸化膜11は、トレンチの側面の上に設けられる。カラー酸化膜11は、キャパシタ絶縁膜13に周状の下部端が接する。カラー酸化膜11は、プレート電極12に接する。カラー酸化膜11のトレンチの側面に関する法線応力は、張力である。カラー酸化膜11は、堆積によってトレンチの側面の上に設けられている。好ましくは、カラー酸化膜11は、化学気相成長(CVD)法によってトレンチの側面の上に設けられている。

【0022】

蓄積電極15は、プレート電極12とキャパシタ絶縁膜13の上に設けられる。蓄積電極15の上面の高さは、カラー酸化膜11の上部端の高さより高い。蓄積電極15において、引き出し電極19との界面は、カラー酸化膜11の下部端を外周とする平面に一致しない。蓄積電極15では、キャパシタ絶縁膜13に接する側面における太さは、カラー酸化膜11に接する側面における太さより太い。

【0023】

キャパシタ引き出し電極19は、カラー酸化膜11の上部端と蓄積電極15の上面の上に設けられる。キャパシタ引き出し電極19は、蓄積電極15に電気的に接続する。キャパシタ引き出し電極19は、トレンチの側面の上部に接する。ベリッドストラップ部17は、トレンチの側面の上部を含むシリコン基板1内に設けられる。ベリッドストラップ部17は、カラー酸化膜11に接する。ベリッドストラップ部17は、キャパシタ引き出し電極19に電気的に接続する。ベリッドストラップ部17の導電型は、n型である。

【0024】

MOSトランジスタは、シリコン基板1の有するトレンチの近傍に配置される。MOSトランジスタは、ドレイン領域26、ゲート絶縁膜22、ゲート電極23とソース領域25を有する。

【0025】

ドレイン領域26は、シリコン基板1の上面を含むシリコン基板1内に設けら

れる。ドレイン領域26は、ベリッドストラップ部17に電気的に接続する。ドレイン領域26の導電型は、n型である。ゲート絶縁膜22は、シリコン基板1の上面の上に設けられる。ゲート電極23は、ゲート絶縁膜22の上でドレイン領域26の上方に設けられる。ソース領域25は、シリコン基板1の上面を含むシリコン基板1内でゲート絶縁膜22の下でゲート電極23の下方でドレイン領域26から離れて設けられる。ソース領域25の導電型は、n型である。

【0026】

さらに、半導体装置は、ソース領域25の上に設けられるコンタクトプラグ30と、ソース領域25に電気的に接続するビット線31を有する。ビット線31は、層間絶縁膜29の上に設けられている。ゲート電極23とコンタクトプラグ30とは、シリコン窒化膜24、サイドウォール27、28によって絶縁されている。素子分離領域21は、キャパシタ引き出し電極19の上に設けられている

【0027】

第1の実施の形態に係る半導体装置によれば、カラー酸化膜11のトレンチの側面に関する法線応力が圧力でなく、応力が無いか張力であるので、ベリッドストラップ部17に欠陥が発生しにくい。なお、法線応力が圧力であっても、欠陥が発生しない程度に小さい圧力であればよいのはもちろんである。このように法線応力の圧力を小さくしさらに張力にするためには、カラー酸化膜11を、熱酸化法でなく、堆積によってトレンチの側面の上に設ければよい。

【0028】

また、蓄積電極15において、粒界の界面がカラー酸化膜11の下部端を外周とする平面に一致しない。このことにより、蓄積電極15はキャパシタ絶縁膜13とカラー酸化膜11に接する領域を一度に形成したことがわかる。キャパシタ絶縁膜13に接する領域の表面には、自然酸化膜が形成されることではなく、キャパシタ絶縁膜13に接する領域とカラー酸化膜11に接する領域の界面に自然酸化膜が存在することはない。このことにより、キャパシタが有する抵抗成分を小さくすることができる。メモリセルのデータの書き込み速度と読み出し速度を高めることができる。

【0029】

次に、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する。半導体装置の製造方法は、トレンチキャパシタの形成方法を含んでおり、まず、トレンチキャパシタの形成方法を実施する。

【0030】

P型のシリコン基板1の上に、熱酸化膜2を形成する。熱酸化膜2の上にシリコン窒化膜3とシリコン酸化膜4を気相化学成長(CVD)法で成膜する。図2(a)に示すように、フォトリソグラフィ法でトレンチキャパシタを形成する位置にトレンチ5を形成する。

【0031】

図2(b)に示すように、熱酸化膜2、シリコン窒化膜3とシリコン酸化膜4をマスクとして、シリコン基板1を異方性エッティングし、トレンチ6を形成する。

【0032】

CVD法にてシリコン窒化膜7をトレンチ5、6の側壁とシリコン酸化膜4の上に堆積させる。シリコン窒化膜7の膜厚は5nmとした。図3(c)に示すように、カラー酸化膜を形成のためのダミー埋め込み層として、CVD法でシリコングルマニウム(SiGe)柱9をトレンチ5、6内に埋め込む。シリコングルマニウム膜8は、シリコン酸化膜4の上方のシリコン窒化膜7の上に形成される。シリコングルマニウム柱9とシリコングルマニウム膜8の形成では、原料ガスとしてモノシラン(SiH4)とモノゲルマン(GeH4)を使用した。形成時のモノシランの流量は250sccmであり、モノゲルマンの流量は500sccmであった。形成時の反応炉内の圧力は133Paであった。形成時のシリコン基板1の成膜温度は450°Cであった。

【0033】

図3(d)に示すように、ケミカルドライエッティング(CDE)法で、シリコングルマニウム柱9の上部のみとシリコングルマニウム膜8をエッティングし、トレンチ6の下部にのみシリコングルマニウム柱9を残す。図4(e)に示すように、露出していたシリコン窒化膜7をエッティングして除去する。

【0034】

図4 (f) に示すように、CVD法により、トレンチ5、6の露出した内壁の上にカラー酸化膜11を堆積する。また、シリコン酸化膜4の上にもシリコン酸化膜10を堆積した。カラー酸化膜11とシリコン酸化膜10は、TEOS酸化膜とし、膜厚は20nmとした。カラー酸化膜11のトレンチ6の側面に関する法線応力を張力にするためには、減圧CVD法を用いればよい。酸化法に比較して減圧CVD法では応力が小さく。また、応力の制御には、成膜温度を変えることでも可能となる。

【0035】

図5 (g) に示すように、反応性イオンエッティング (RIE) 法で異方性エッティングを行い、トレンチ6の底に堆積したカラー酸化膜11と、シリコン酸化膜4の上に堆積したシリコン酸化膜10をエッティングして除去する。トレンチ5、6の側壁にのみカラー酸化膜11が残る。シリコンゲルマニウム柱9が露出する。

【0036】

図5 (h) に示すように、トレンチ6の下部に残っているシリコンゲルマニウム柱9を過酸化水素水 (H_2O_2) を含むエッチャントでエッティングする。図6に示すように、シリコンゲルマニウムのゲルマニウム (Ge) の組成比を大きくする程、過酸化水素水を含むエッチャントによるエッティングレートを大きくすることができる。一方、シリコン基板1、シリコン酸化膜4、シリコン酸化膜11、シリコン窒化膜7は、過酸化水素水を含むエッチャントによってほとんどエッティングされないと考えられる。このことにより、過酸化水素水を含むエッチャントを用いることにより、シリコン基板1、シリコン酸化膜4、シリコン酸化膜11、シリコン窒化膜7をエッティングすることなく、シリコンゲルマニウム柱9を除去することができる。なお、図6に示すように、エッティングレートの傾きが、ゲルマニウムの組成比が50%未満では小さく、50%以上では大きくなっている。このことにより、ゲルマニウムの組成比を50%以上にすることにより、シリコンゲルマニウムのエッティングレートを容易に大きくすることができる。図7 (i) に示すように、シリコン窒化膜7をエッティングにより除去する。

【0037】

図7 (j) に示すように、カラー酸化膜11をマスクに、トレンチ6の側壁を希フッ硝酸 (HF-HNO₃) にてエッティングする。図8 (k) に示すように、気相拡散法でトレンチ6の露出した内壁にプレート電極12となるn型拡散層を形成する。図8 (l) に示すように、プレート電極12の上にキャパシタ絶縁膜13を形成する。キャパシタ絶縁膜13として、酸窒化シリコン膜を形成した。

【0038】

図9 (m) に示すように、キャパシタ絶縁膜13とカラー酸化膜11の上でトレンチ5、6内に蓄積電極15としてn型ポリシリコン柱を埋め込む。シリコン酸化膜4の上にはn型シリコン膜14が形成される。蓄積電極15の中にはボイド16が生じる。以上により、プレート電極12と蓄積電極15を端子とするトレンチキャパシタが完成する。

【0039】

さらに、図9 (n) に示すように、シリコン窒化膜3の表面の高さまでエッチバックする。図10 (o) に示すように、蓄積電極15の上面の高さがシリコン基板1の表面の高さより低くなるまで、蓄積電極15の上部をエッティングする。図10 (p) に示すように、カラー酸化膜11の上端の高さが蓄積電極15の上面の高さより低くなるまで、カラー酸化膜11の上部をエッティングする。トレンチ6内にシリコン基板1が露出する。気相拡散法で露出したシリコン基板1にベリッドストラップ部17、18となるn型拡散層を形成する。n型ポリシリコン膜を成膜しエッチバックすることで、図11 (q) に示すように、蓄積電極15とベリッドストラップ部17に接するキャパシタ引き出し電極19をトレンチ6内に埋め込む。以上により、キャパシタ引き出し電極19とプレート電極12を端子とするトレンチキャパシタが完成する。この完成したトレンチキャパシタは、全体がシリコン基板1の表面より低い位置に配置されている。

【0040】

さらに、図11 (r) に示すように、トレンチ20をシリコン基板1に形成する。シリコン絶縁膜を成膜しエッチバックを行い、図12 (s) に示すように、シリコン基板1上に素子分離領域21を形成する。シリコン酸化膜2をエッチ

グし、ゲート絶縁膜22となるシリコン酸化膜を露出したシリコン基板1上に形成する。n型ポリシリコン膜23とシリコン窒化膜24を成膜し、ゲート電極23のパターン形状にエッチングする。シリコン窒化膜24をマスクにイオン注入を行いドレイン領域26とソース領域25を形成する。以上により、MOSトランジスタが完成する。

【0041】

図12(t)に示すように、n型ポリシリコン膜23とシリコン窒化膜24の側面にサイドウォール27、28となるシリコン窒化膜を形成する。層間絶縁膜29をMOSトランジスタと素子分離領域21の上に形成する。ソース領域25の上にコンタクトホールを開口する。このコンタクトホールにコンタクトプラグ30を埋め込む。図1に示すように、層間絶縁膜29とコンタクトプラグ30の上にビット線31を形成する。以上により、トレンチキャパシタを有する半導体装置が完成する。

【0042】

第1の実施の形態の半導体装置の製造方法を用いることで、プレート電極12を形成するためのトレンチ6の側壁への不純物拡散に、気相拡散法を適用できる。このことにより、従来の砒素ガラス($\text{SiO}_2 \cdot \text{As}_2\text{O}_5$)を用いた固相拡散法に比較して不純物濃度の高い拡散層を形成できる。キャパシタ絶縁膜13の実効的な膜厚を薄くすることができる。そして、図13に示すように、キャパシタの容量を1.5倍に増加することができる。また、処理時間の長い固相拡散法を省略できるので、半導体装置の製造時間が短縮できる。

【0043】

また、従来例では、トレンチ6内の蓄積電極15の形成のために、埋め込みとエッチングを2度繰り返す。このために、蓄積電極15を二分する自然酸化膜界面が存在した。第1の実施の形態の半導体装置の製造方法では、蓄積電極15の形成のための埋め込みとエッチングは1度のみである。したがって、蓄積電極15を二分する自然酸化膜界面は存在しない。従来例に比べて第1の実施の形態では、蓄積電極15の電気抵抗が低くできる。

【0044】

(第1の実施の形態の変形例)

第1の実施の形態では、トレンチ6にシリコンゲルマニウムを埋め込み、カラーレ酸化膜11の形成後に、過酸化水素水でシリコンゲルマニウムを除去した。これに限らず、シリコンゲルマニウムの代わりに、非晶質シリコン(Si)を用いてもよい。非晶質シリコンのエッチャントとしては、フッ酸-硝酸-酢酸の混合溶液を用いることができる。また、非晶質シリコンは、三フッ化塩素(ClF₃)や塩酸(HCl)などの塩素系ガスによりエッティングしても良い。

【0045】

すなわち、第1の実施の形態では、まず、シリコンゲルマニウム柱や非晶質シリコン柱等の半導体柱を形成し、この半導体柱を疑似蓄積電極としてカラーレ酸化膜11を形成する。次に、カラーレ酸化膜11をマスクに、半導体柱を除去する。半導体柱が用いられるのは、シリコン酸化膜とシリコン窒化膜に対して選択的にエッティングでき、シリコン酸化膜とシリコン窒化膜の成膜温度では安定して存在するからである。なお、シリコンゲルマニウムのように、半導体柱とシリコン基板1の選択エッティングが可能なエッチャントが存在すればなお良い。

【0046】

また、メモリセルを有する半導体装置は、DRAMでもよいし、DRAMがメガセルとして搭載されたシステムLSIであってもよい。

【0047】

(第2の実施の形態)

本発明の第2の実施の形態に係る半導体装置は、図14に示すように、図1の第1の実施の形態の半導体装置と比較して、キャパシタの構造が異なっている。第2の実施の形態の半導体装置は、シリコン基板1のトレンチの底面と側面が凹凸を有している。プレート電極12の表面上に凹凸シリコン膜32が設けられている。凹凸シリコン膜32には、HSG (hemispherical grained) ポリシリコン膜や粗面ポリシリコン膜等を用いた。この凹凸シリコン膜32の表面上にキャパシタ絶縁膜33が設けられる。キャパシタ絶縁膜の膜厚は、凹凸シリコン膜32の凹凸の高低差に比べて十分薄い。キャパシタ絶縁膜33の表面上に蓄積電極35が設けられる。

【0048】

のことにより、キャパシタ絶縁膜の凹凸シリコン膜32に接する表面積を、凹凸シリコン膜32が無い場合に比べて大きくすることができる。また、キャパシタ絶縁膜の蓄積電極35に接する表面積を、凹凸シリコン膜32が無い場合に比べて大きくすることができる。そして、キャパシタの容量を第1の実施の形態の半導体装置のキャパシタの容量に比較してさらに大きくすることができる。

【0049】

次に、本発明の第2の実施の形態に係る半導体装置の製造方法を説明する。第2の実施の形態の半導体装置の製造方法も、トレンチキャパシタの形成方法を含んでいる。第2の実施の形態の半導体装置の製造方法の第1の実施の形態の半導体装置の製造方法と異なる点は、トレンチキャパシタの形成方法にある。そこで、トレンチキャパシタの形成方法について説明する。

【0050】

まず、第1の実施の形態のトレンチキャパシタの形成方法を図7(j)に関する工程まで実施する。

【0051】

次に、図15(a)に示すように、トレンチ6内の露出したシリコン基板1の表面上に凹凸シリコン膜32を形成する。HSGポリシリコン膜又は粗面ポリシリコン膜を選択CVD法により露出したシリコン基板1の表面上に成膜する。

【0052】

図15(b)に示すように、気相拡散法でカラー酸化膜11をマスクとして、ドーパントを凹凸シリコン膜32とシリコン基板1に拡散させる。凹凸シリコン膜32にn型拡散層が形成される。シリコン基板1にプレート電極12となるn型拡散層が形成される。凹凸シリコン膜32、カラー酸化膜11とシリコン酸化膜4の上にキャパシタ絶縁膜33を形成する。キャパシタ絶縁膜13として、まず、シリコン酸化膜をCVD法で形成し、このシリコン酸化膜を窒化して、窒酸化シリコン膜を形成した。図16に示すように、キャパシタ絶縁膜33の上でトレンチ5、6内に蓄積電極35としてn型ポリシリコン柱を埋め込む。シリコン酸化膜4の上方でキャパシタ絶縁膜33の上にn型シリコン膜34が形成される

。蓄積電極35の中にはボイド36が生じる。以上により、プレート電極12と蓄積電極35を端子とするトレンチキャパシタが完成する。

【0053】

以降の第2の実施の形態の半導体装置の製造方法は、第1の実施の形態の半導体装置の製造方法を図9(n)に関する工程から実施する。以上により、キャパシタ引き出し電極19とプレート電極12を端子とするトレンチキャパシタを完成できる。そして、図14に示すようなMOSトランジスタとトレンチキャパシタを有する半導体装置を完成できる。

【0054】

本発明は第1と第2の実施の形態に限られない。本発明の実施の形態では、シリコン基板1の場合について説明したが、シリコン基板1は、半導体基板であれば良い。半導体基板としては、シリコンオンインシュレーター(SOI)基板のシリコン層、またはシリコングルマニウム(SiGe)混晶、炭化シリコングルマニウム(SiGeC)混晶などの半導体基板であってもよい。その他、本発明の要旨を逸脱しない範囲で、様々に変形して実施することができる。

【0055】

【発明の効果】

以上説明したように、本発明によれば、メモリセルの微細化を行っても記憶保持特性が劣化しない半導体装置を提供できる。

【0056】

また、本発明によれば、メモリセルの微細化を行っても記憶保持特性が劣化しないトレンチキャパシタの形成方法を提供できる。

【図面の簡単な説明】

【図1】

第1の実施の形態に係る半導体装置の断面図である。

【図2】

第1の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の製造途中の断面図(その1)である。

【図3】

第1の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の
製造途中の断面図（その2）である。

【図4】

第1の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の
製造途中の断面図（その3）である。

【図5】

第1の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の
製造途中の断面図（その4）である。

【図6】

ゲルマニウムの組成比に対する過酸化水素水によるシリコンゲルマニウムのエ
ッチングレートを表すグラフである。

【図7】

第1の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の
製造途中の断面図（その5）である。

【図8】

第1の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の
製造途中の断面図（その6）である。

【図9】

第1の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の
製造途中の断面図（その7）である。

【図10】

第1の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の
製造途中の断面図（その8）である。

【図11】

第1の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の
製造途中の断面図（その9）である。

【図12】

第1の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の
製造途中の断面図（その10）である。

【図13】

第1の実施の形態に係る半導体装置のスイッチングトランジスタのゲート電圧 V_g に対するトレンチキャパシタの容量の関係を表すグラフである。

【図14】

第2の実施の形態に係る半導体装置の断面図である。

【図15】

第2の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の製造途中の断面図（その1）である。

【図16】

第2の実施の形態に係る半導体装置の製造方法を説明するための半導体装置の製造途中の断面図（その2）である。

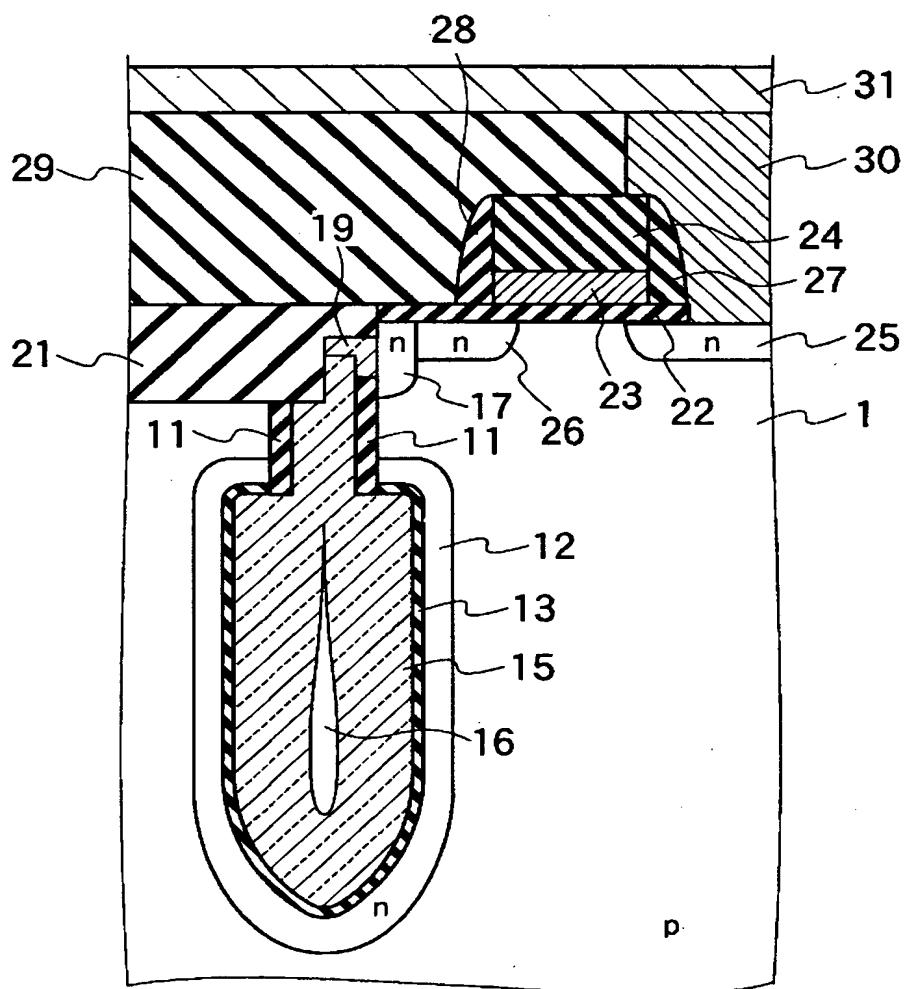
【符号の説明】

- 1 p型シリコン基板
- 2 シリコン酸化膜
- 3 シリコン窒化膜
- 4 シリコン酸化膜
- 5 トレンチ
- 6 トレンチ
- 7 シリコン窒化膜
- 8 半導体膜（シリコンゲルマニウム膜）
- 9 半導体柱（シリコンゲルマニウム柱）
- 10 シリコン酸化膜
- 11 カラー酸化膜（シリコン酸化膜）
- 12 プレート電極（n型シリコン層）
- 13 キャパシタ絶縁膜
- 14 半導体膜（n型ポリシリコン膜）
- 15 蓄積電極（n型ポリシリコン柱）
- 16 ボイド
- 17、18 ベリッドストラップ部

- 19 キャパシタ引き出し電極 (n型ポリシリコン柱)
- 20 トレンチ
- 21 素子分離領域
- 22 ゲート絶縁膜
- 23 ゲート電極 (ワード線)
- 24 シリコン窒化膜
- 25 ソース領域
- 26 ドレイン領域
- 27、28 サイドウォール
- 29 層間絶縁膜
- 30 コンタクトプラグ
- 31 ビット線
- 32 凹凸シリコン膜
- 33 キャパシタ絶縁膜
- 34 半導体膜 (n型ポリシリコン膜)
- 35 蓄積電極 (n型ポリシリコン柱)
- 36 ボイド

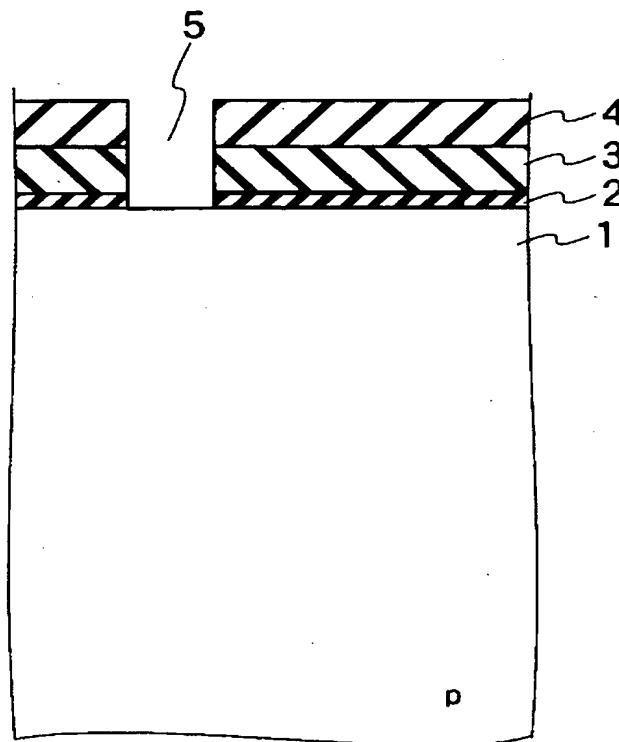
【書類名】 図面

【図1】

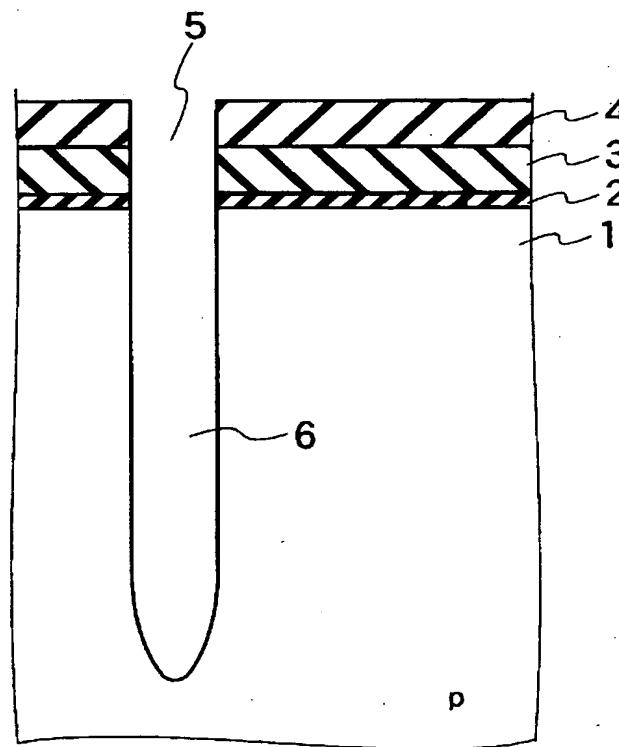


【図2】

(a)

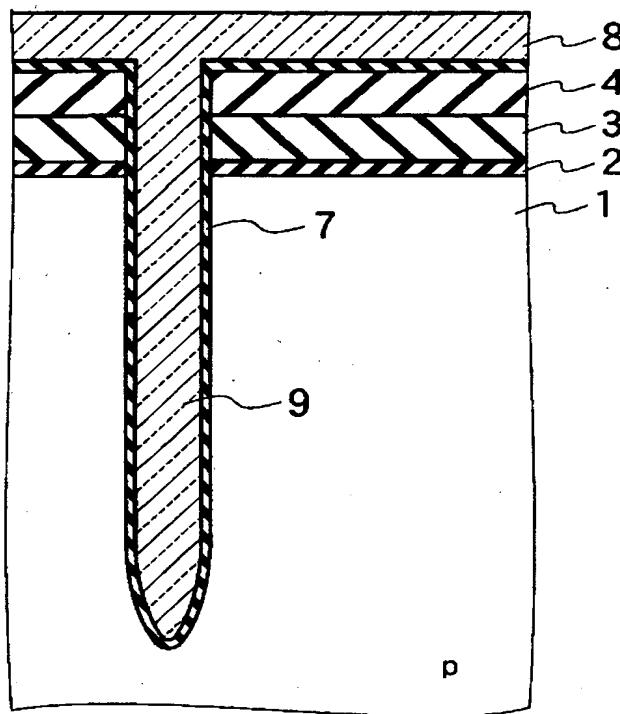


(b)

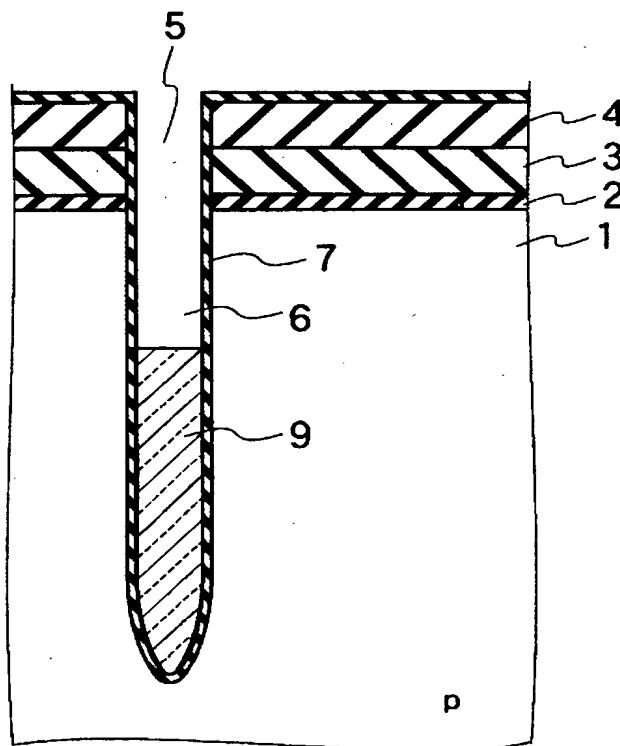


【図3】

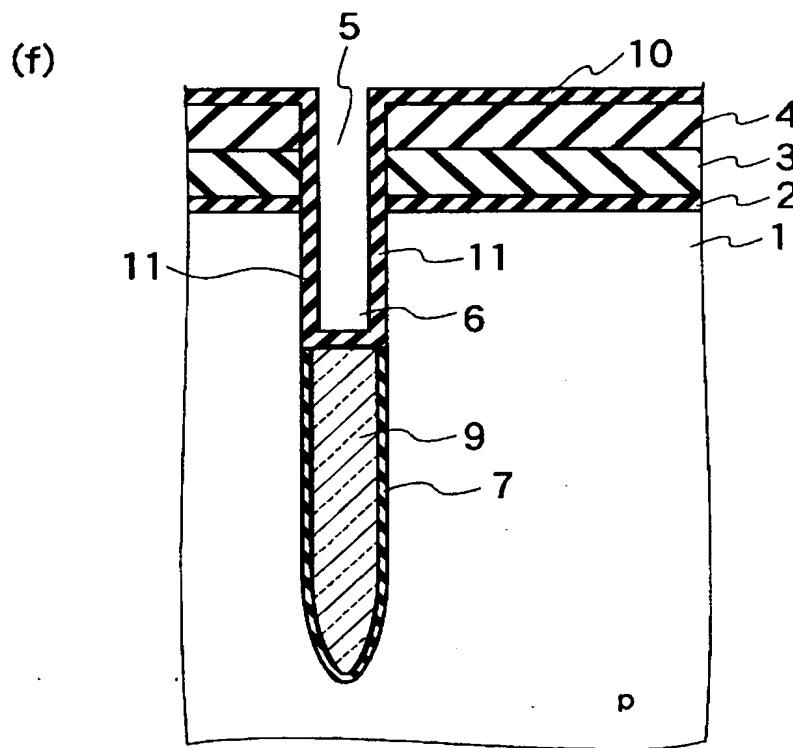
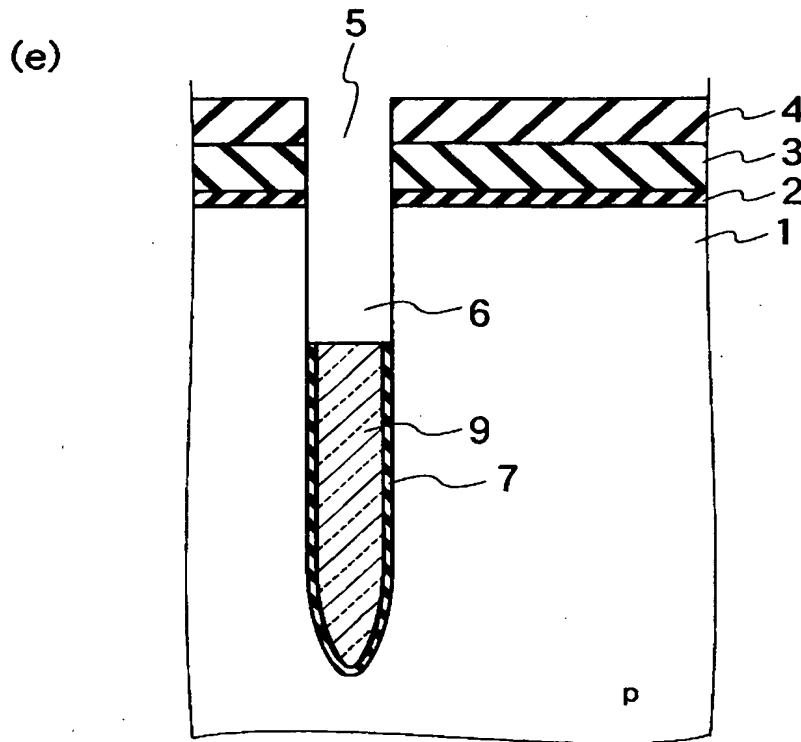
(c)



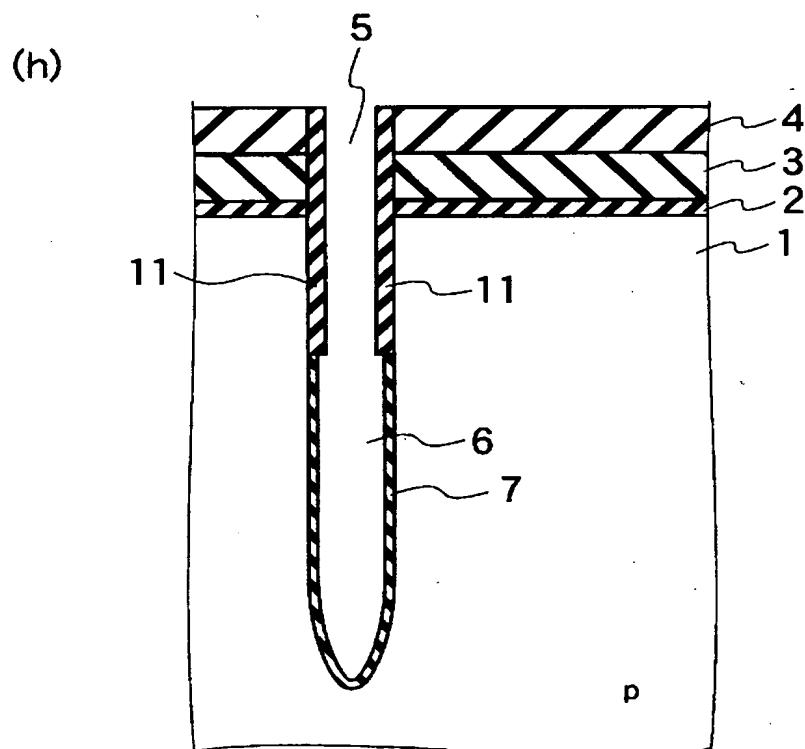
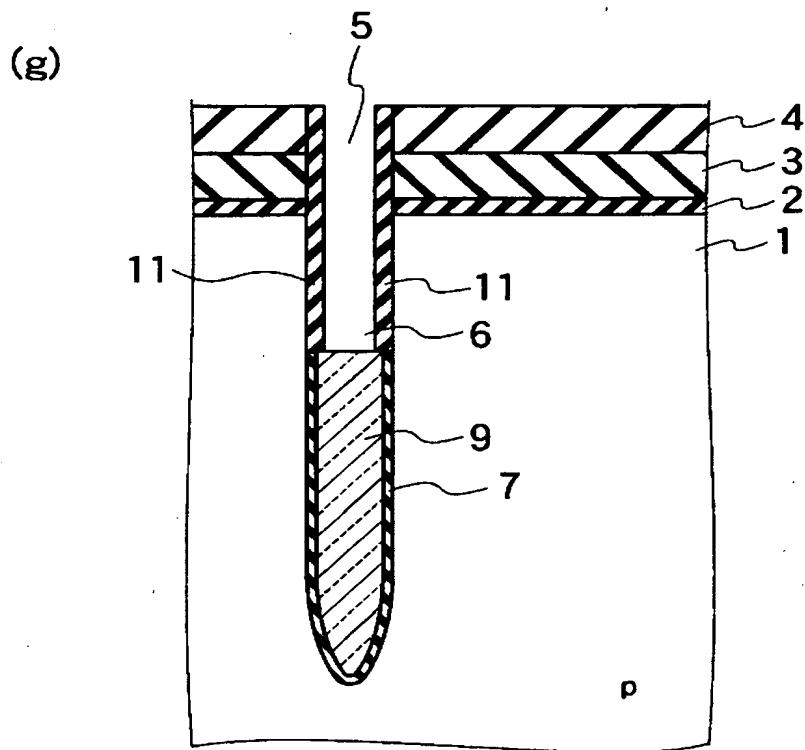
(d)



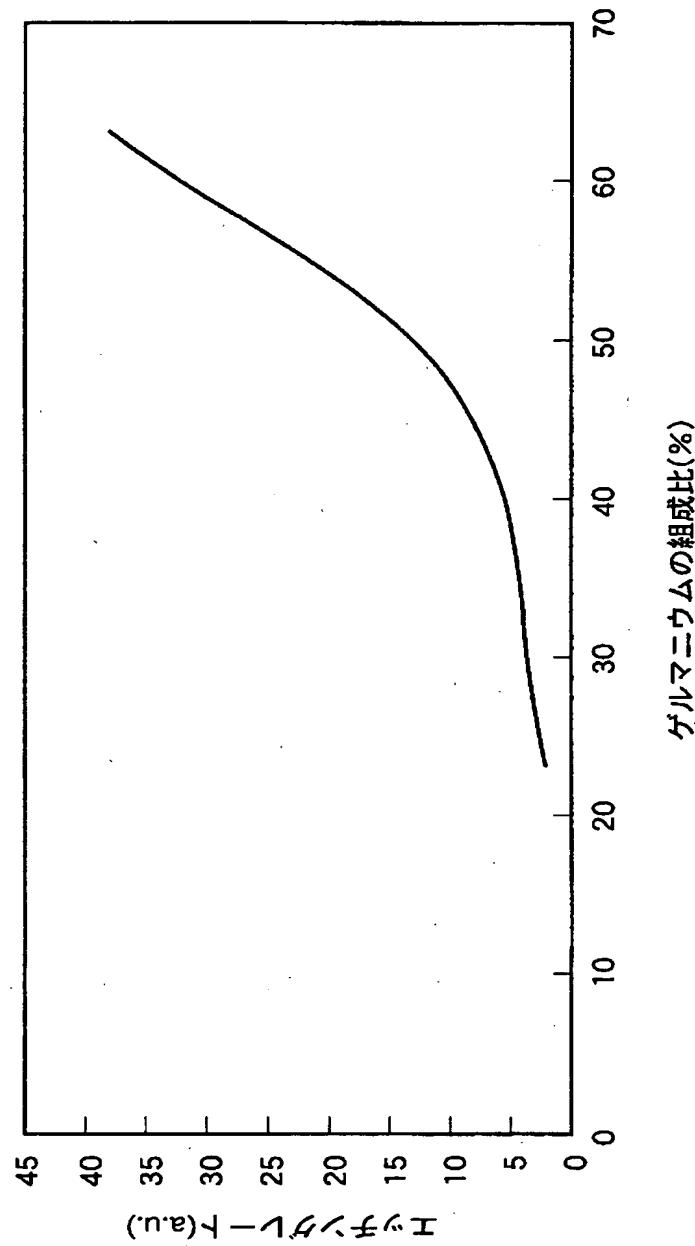
【図4】



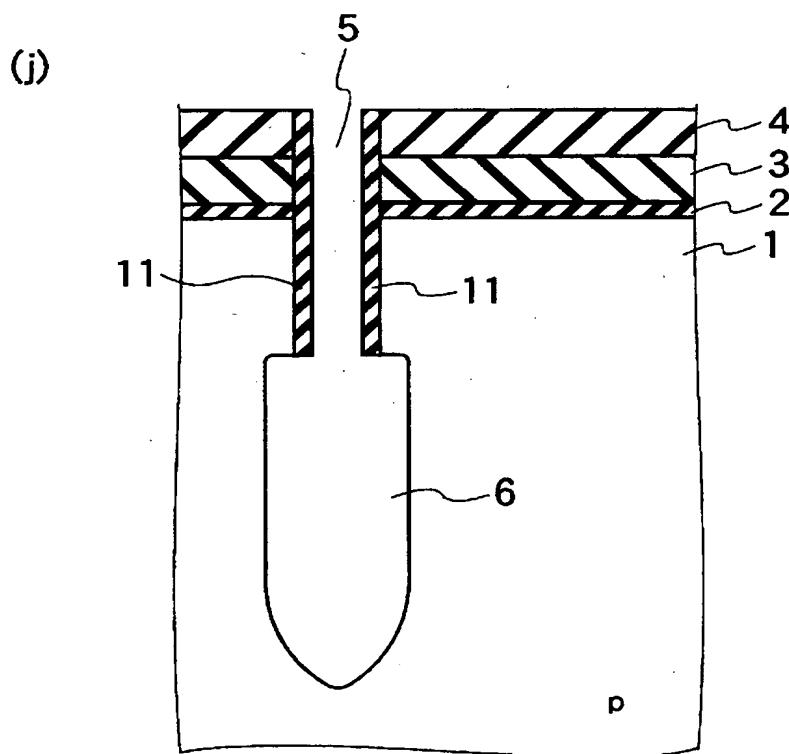
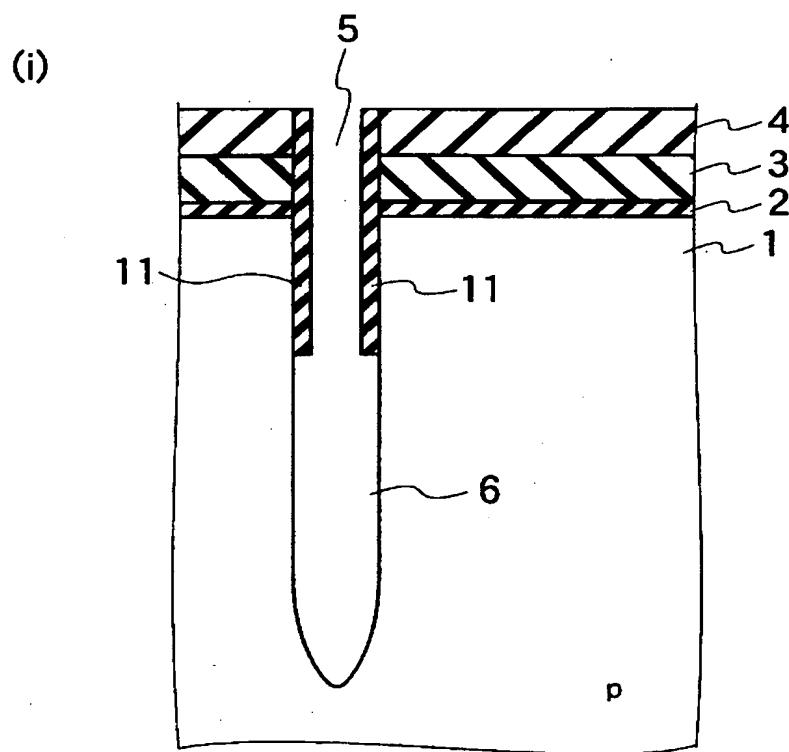
【図5】



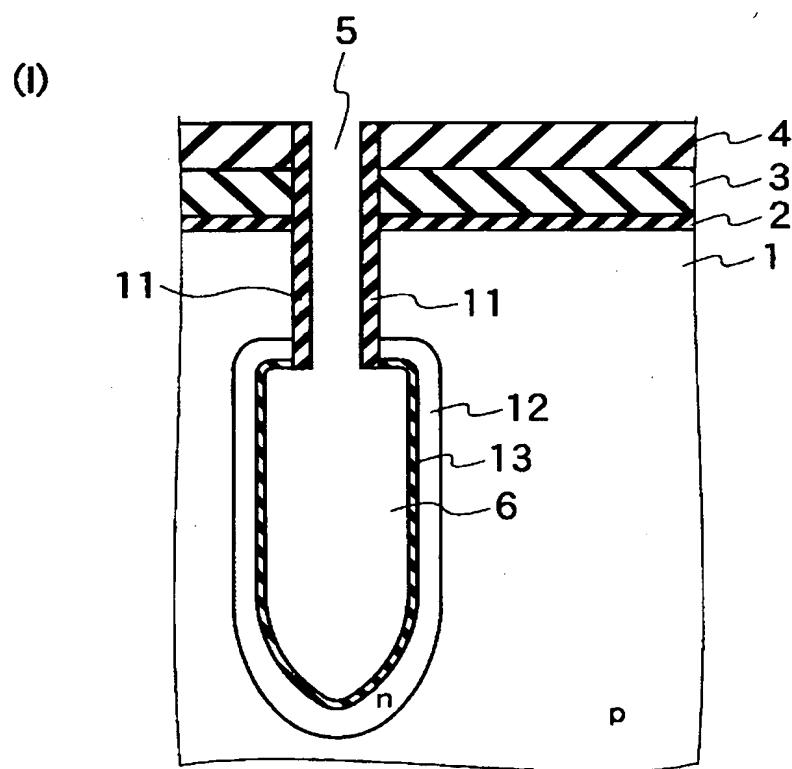
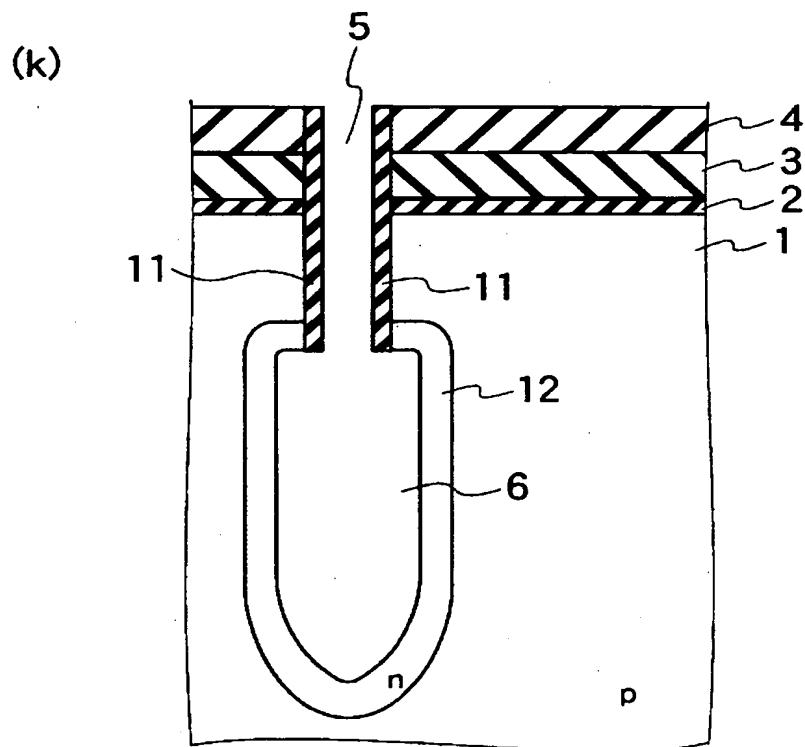
【図6】



【図7】

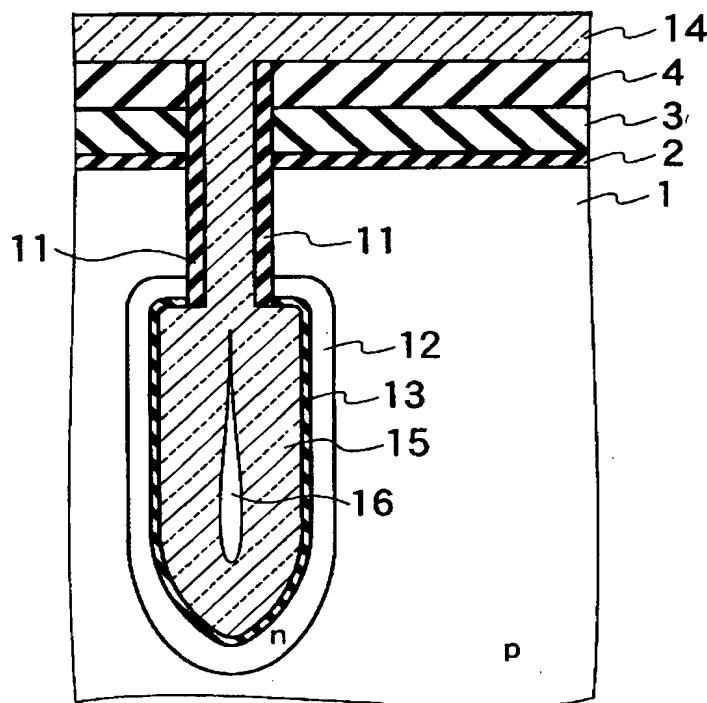


【図8】

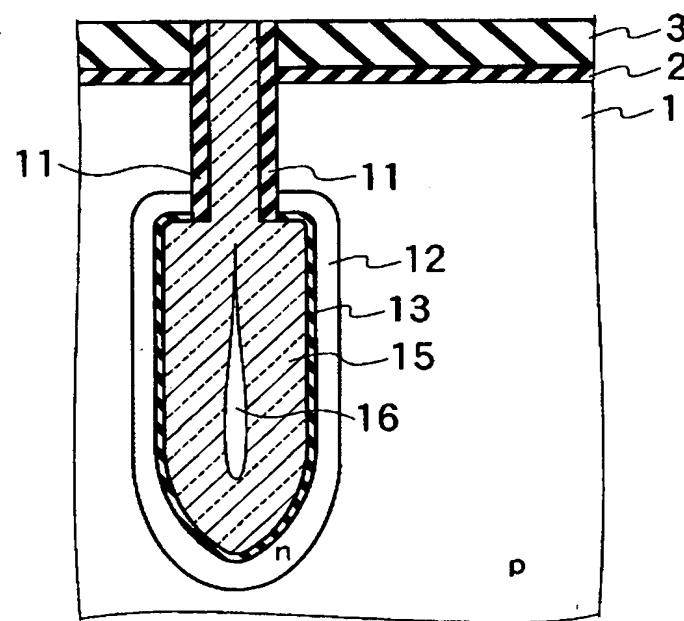


【図9】

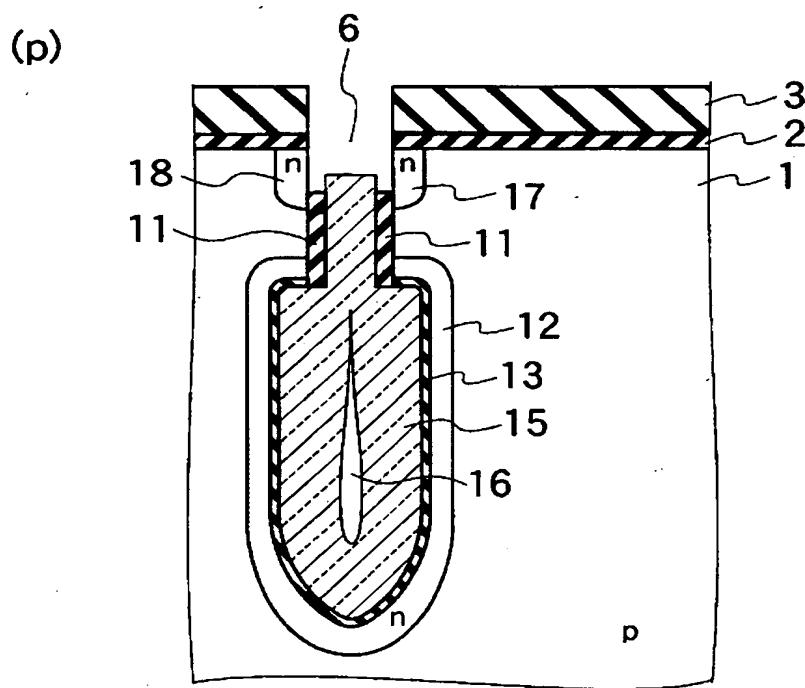
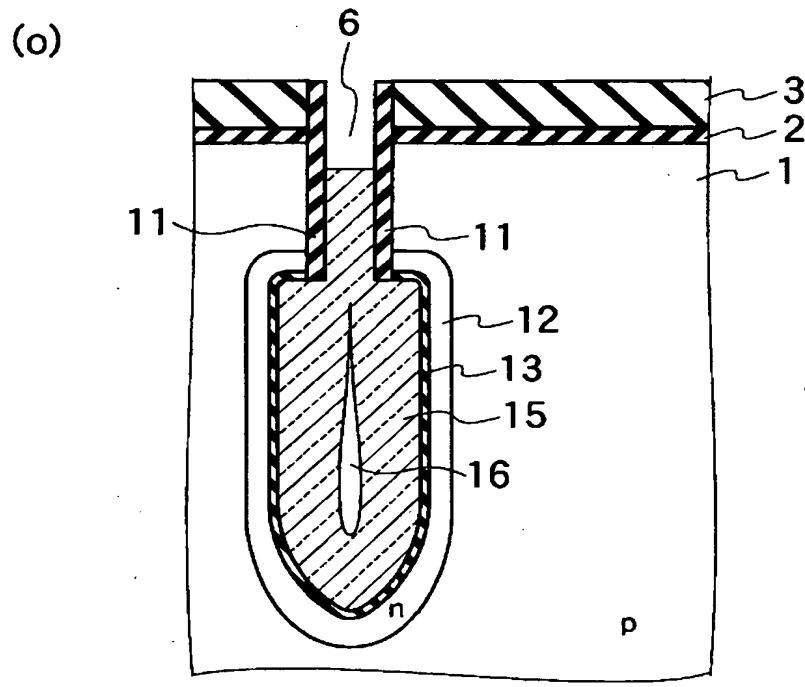
(m)



(n)

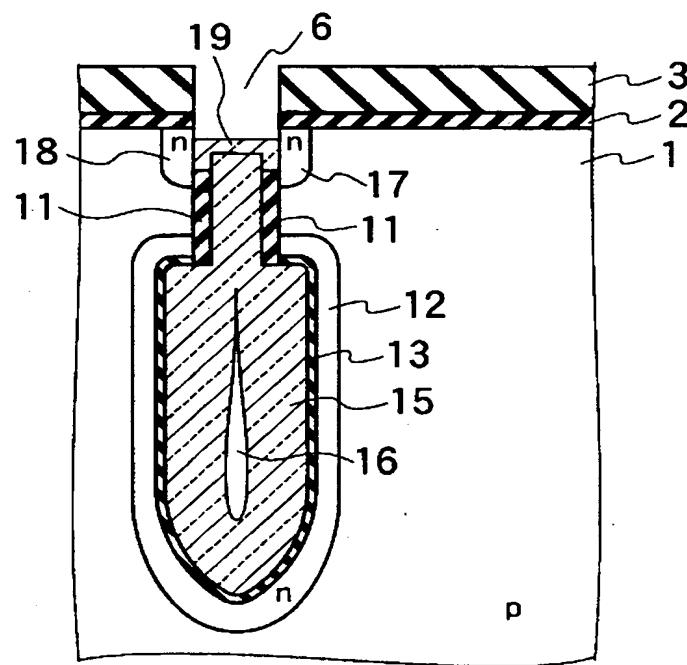


【図10】

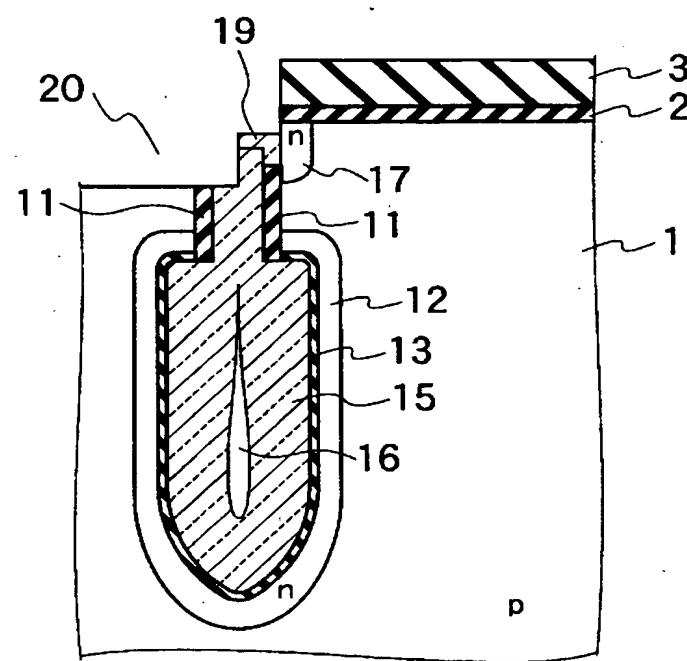


【図11】

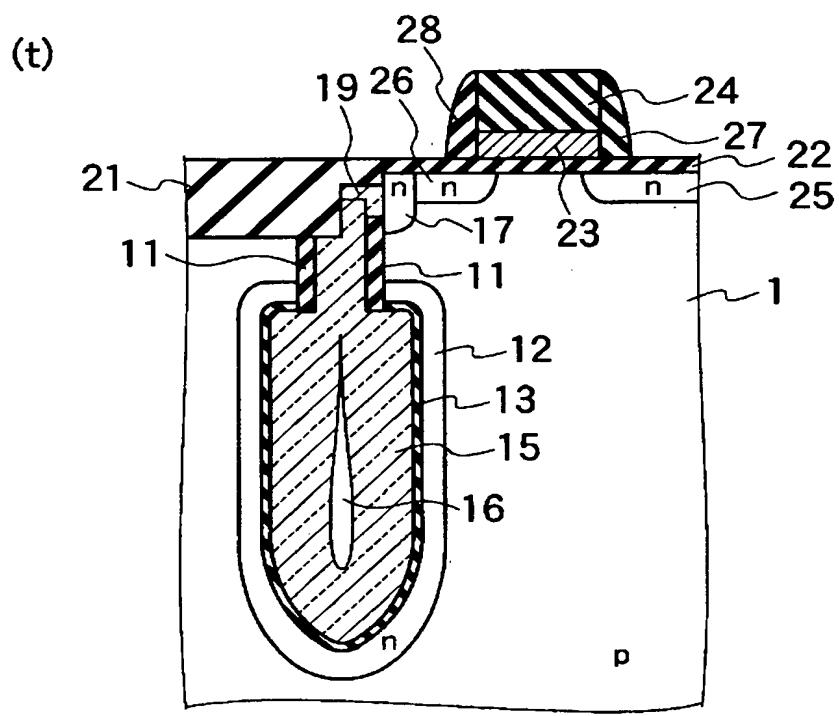
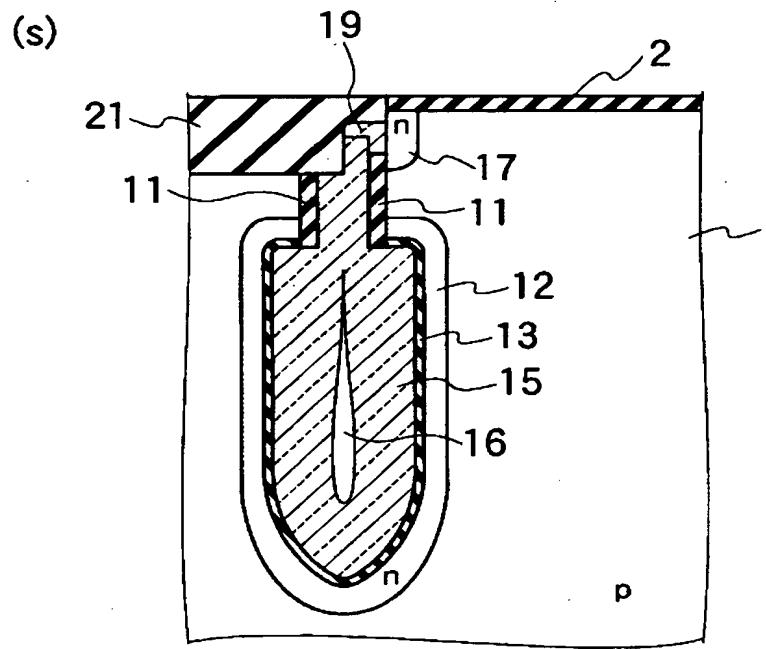
(q)



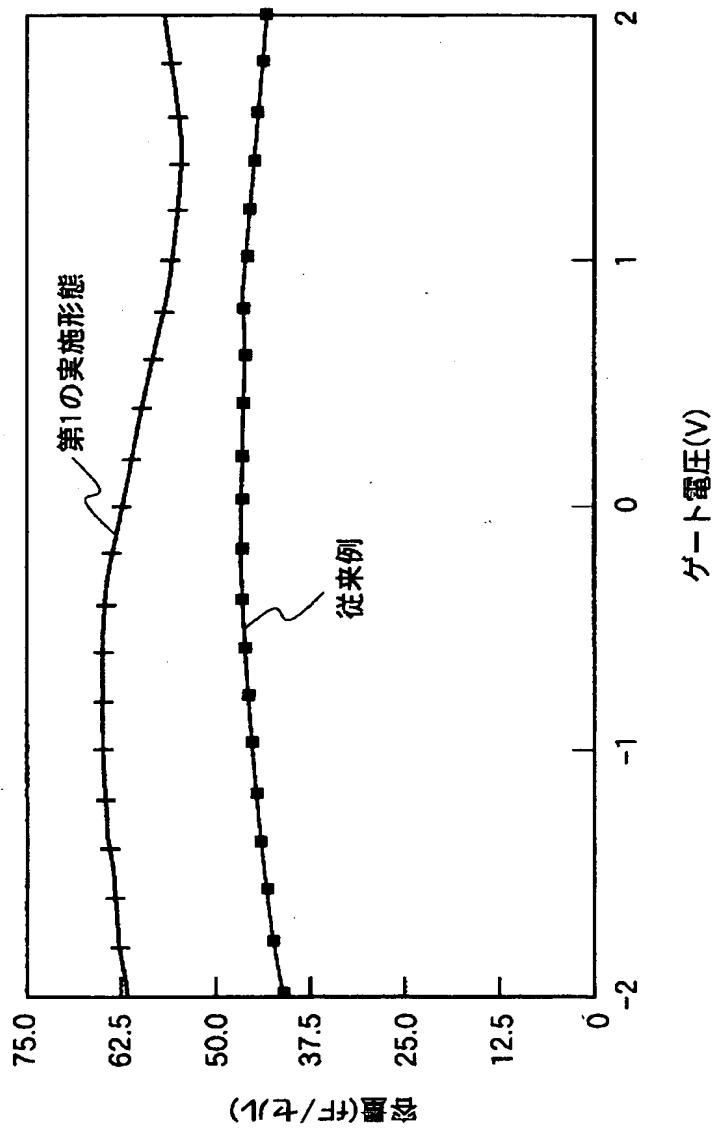
(r)



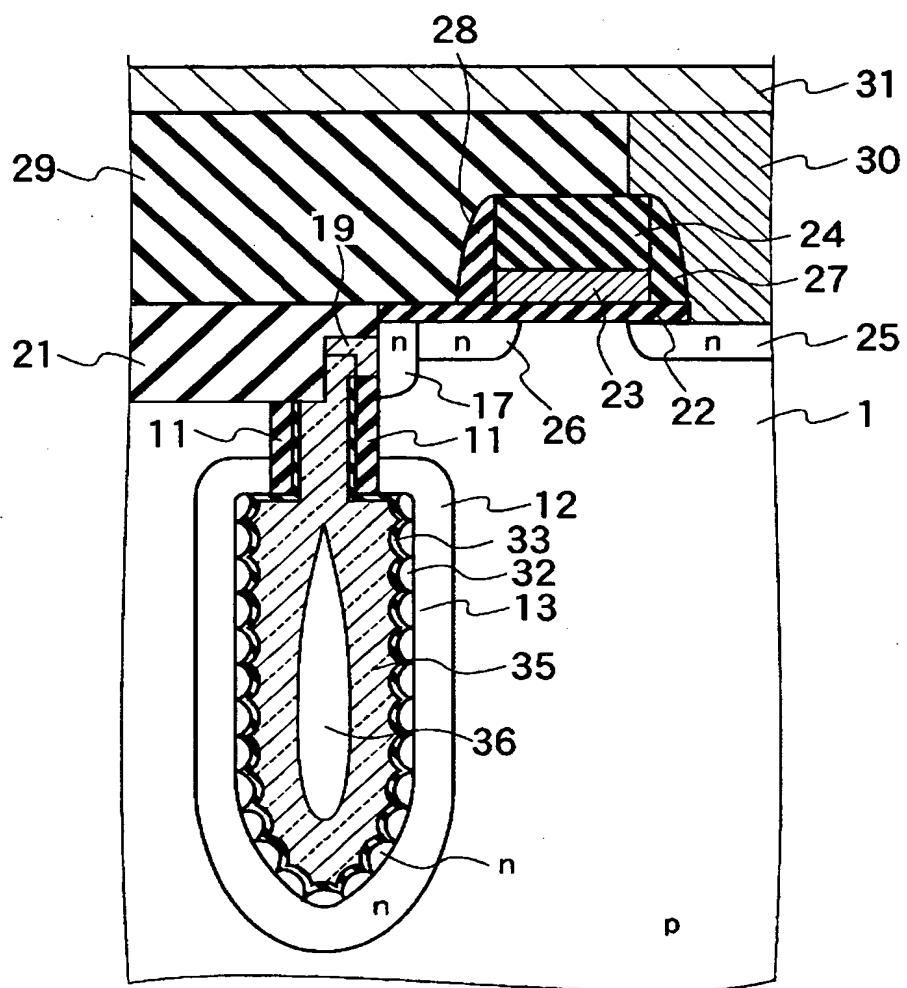
【図12】



【図13】

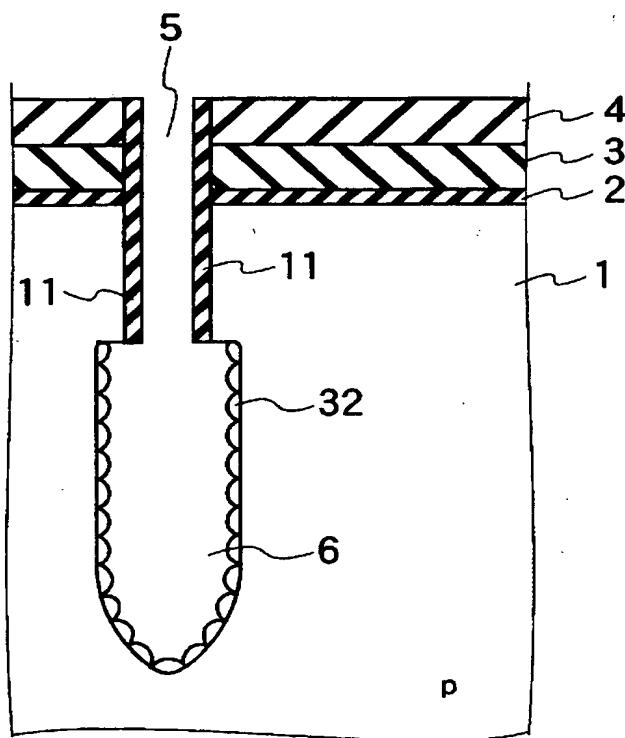


【図14】

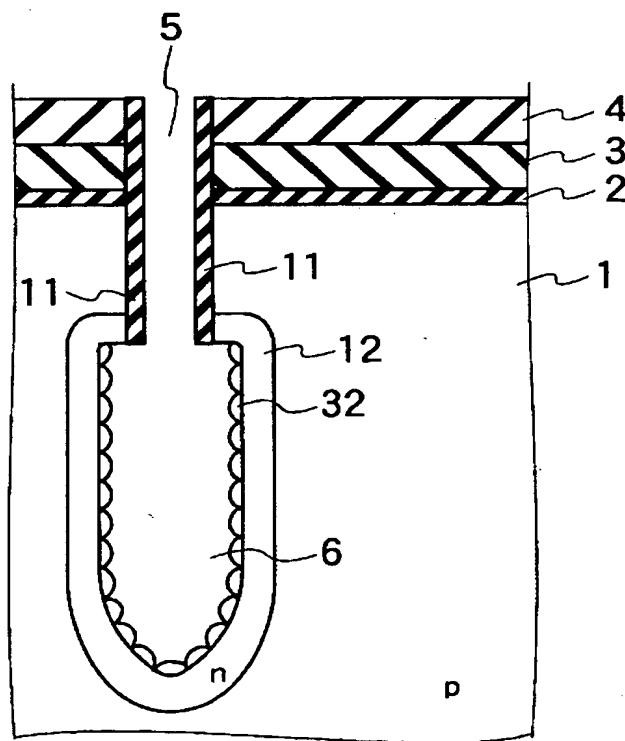


【図15】

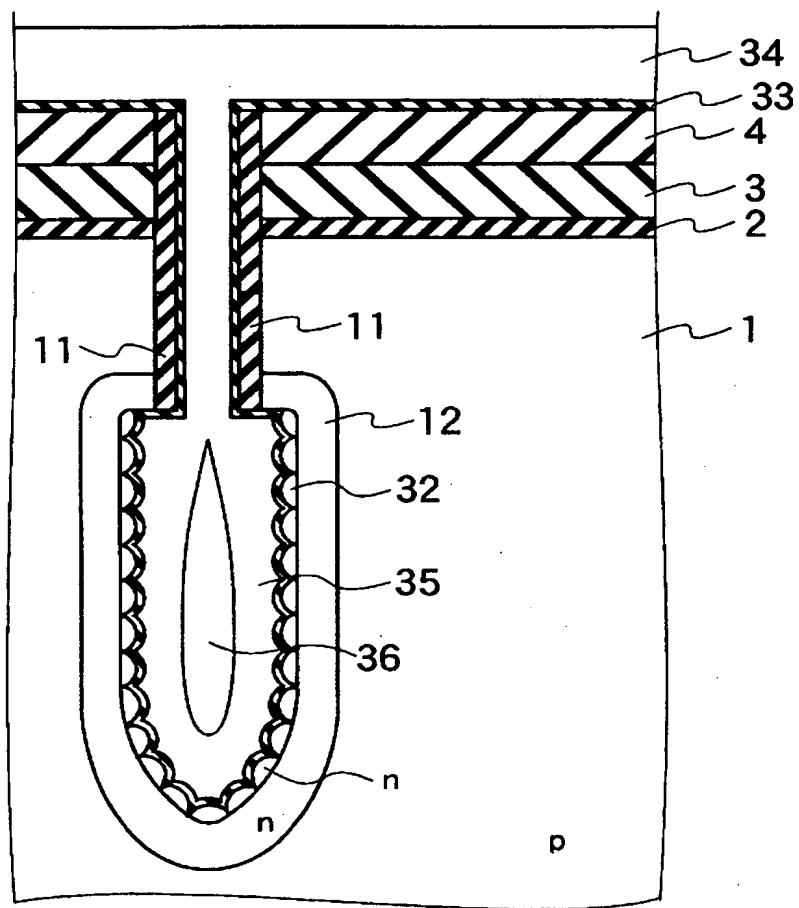
(a)



(b)



【図16】



【書類名】 要約書

【要約】

【課題】 メモリセルの微細化を行っても記憶保持特性が劣化しない半導体装置を提供する。

【解決手段】 第1導電型の半導体基板の表面にトレンチを形成する。トレンチの内壁の上に第1の絶縁膜を形成し、第1の絶縁膜の上でトレンチ内に半導体柱を埋め込む。トレンチの上部に位置する第1の絶縁膜と半導体柱をエッチングする。トレンチの露出した内壁の上に第2の絶縁膜を堆積する。半導体柱をエッチングし、第1の絶縁膜をエッチングする。気相拡散法でトレンチの露出した内壁に第1導電型と異なる導電型のプレート電極を形成する。プレート電極の上にキャパシタ絶縁膜を形成する。キャパシタ絶縁膜と第2の絶縁膜の上でトレンチ内に蓄積電極を埋め込む。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝